

(c) 2000 JPO & JAPIO. All rts. reserv.

FLAT DISPLAY

SUZUKI KENKICHI

JOURNAL: Section: E, Section No. 623, Vol. 12, No. 215, Pg. 82, June 18, 1988 (19880618)

CONSTITUTION: In a first protective thin film transistor (TFT) 1 and a second protecting TFT 2, their gate electrodes and drain electrodes are both used as gate electrodes, and source electrodes are connected to an earth line E. Accordingly, when a high voltage, such as a static electricity is applied to a scanning line X and a signal line Y, the TFT 1 and the TFT 2 are turned ON to be conducted with the line E, and the thin film transistors TFT are protected as active elements. In this case, the

transistors TFT are turned ON with signal voltage $V_D=10V$ and its signal current I_d =approximately $100\mu A$, and its leakage resistance is approximately $10^{(sup 5)}$ ohms. Since the fanout of a driver LVS or LHS is normally $100\mu A$ or more, it does not an obstacle for transmitting a signal.

DIALOG(R)File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007419853 **Image available**

WPI Acc No: 88-053788/198808

Active-matrix display panel - has switching element between ground line
and each scanning line NoAbstract Dwg 7/7

Patent Assignee: HITACHI DEVICE ENGINEERING (HITA-N); HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 63010558	A	19880118	JP 86154026	A	19860702		198808 B

Priority Applications (No Type Date): JP 86154026 A 19860702

Patent Details:

Patent	Kind	Lang	Pg	Filing Notes	Application	Patent
--------	------	------	----	--------------	-------------	--------

JP 63010558	A		8			
-------------	---	--	---	--	--	--

Title Terms: ACTIVE; MATRIX; DISPLAY; PANEL; SWITCH; ELEMENT; GROUND;
LINE;SCAN; LINE; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;

H01L-027/12

File Segment: EPI; EngPI

訂正有り

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-10558

⑫ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和63年(1988)1月18日
H 01 L 27/12		7514-5F	
G 02 F 1/133	3 2 7	8205-2H	
G 09 F 9/30	3 3 8	K-6866-5C ※審査請求 未請求 発明の数 1 (全6頁)	

⑭ 発明の名称 フラットディスプレイ

⑮ 特 願 昭61-154026

⑯ 出 願 昭61(1986)7月2日

⑰ 発 明 者 折 付 良 二 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑱ 発 明 者 砂 原 和 雄 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑲ 発 明 者 染 谷 栄 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

フラットディスプレイ

2. 特許請求の範囲

1. マトリックス状に配列した走査線と信号線とで囲まれる各領域に表示素子およびアクティブ素子を配列して各画面を構成したフラットディスプレイにおいて、前記各走査線および信号線とアースラインとの間にスイッチング素子を設けたことを特徴とするフラットディスプレイ。
2. 前記スイッチング素子のしきい値電圧をアクティブ素子のオン電圧よりも大としたことを特徴とする特許請求の範囲第1項記載のフラットディスプレイ。
3. 前記スイッチング素子は駆動電圧に対して正負両方向で動作することを特徴とした特許請求の範囲第1項記載のフラットディスプレイ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は液晶表示装置等のフラットディスプレイ

に係わり、特に各表示素子にアクティブ素子を付設したアクティブ・マトリックス方式のフラットディスプレイに関するものである。

(従来の技術)

従来は、文字、図形あるいはテレビ画像を表示する装置として、陰極管が広く用いられてきたが、近年、表示装置の奥行きを薄くできるという利点があるために液晶やELなどを利用したドットマトリックス形表示装置が目ざされるようになった。しかし、このドットマトリックス形表示装置の場合、陰極管と同等の解像度を得ようとしてドット(画素)数を増すと、特に時分割型液晶表示装置の場合、クロストークが生じて画像のコントラストが著しく悪化する。これを防止するためには各画素1個1個に薄膜トランジスタ(以後TFTと略称)、薄膜ダイオード等のスイッチング素子を付設した所謂アクティブマトリックス方式の表示装置が提案され、開発が進められている。

この種の表示装置の具体的に関連する先行技術としては、日経エレクトロニクス1984年9月10

特開昭63-10558 (2)

日号、No. 351, pp. 211-240. が知られており、これには液晶カラーパネル内にスイッチング用薄膜トランジスタ(TFT)を形成したフラットカラーディスプレイ装置の技術が紹介されている。

すなわち、このようなディスプレイでは、第1図に示すようにマトリクス状にゲート線1とドレイン線2とが交差して配列され、それによつて各素子1, 2で囲まれた各領域に配置した各表示素子3を個々のアクティブ素子4によりスイッチング駆動させる構成を有しており、このアクティブ素子4のスイッチオンのとき、表示素子3に画像情報が表示され、スイッチオフのとき、その情報が保持される。

(発明が解決しようとする問題点)

しかしながら、このように構成されるフラットディスプレイは、パネルへの装着時もしくはプロセスの途中で発生する静電気によつてアクティブ素子4が破壊もしくは性能を劣化させるという問題があつた。

本発明の目的はアクティブ素子を静電破壊から

保護することができるフラットディスプレイを提供することにある。

(問題点を解決するための手段)

本発明の一実施例によれば、ゲート線およびドレイン線に、静電気をアースに導通させる保護トランジスタを設けることにより、アクティブ素子の静電破壊を回避したフラットディスプレイが提供される。

(作用)

本発明における保護トランジスタは、静電気が印加されると、ゲートがオンしてアースと導通される。

(実施例)

次に図面を用いて本発明の実施例を説明する。

第1図は本発明によるフラットディスプレイの一実施例を示す回路構成図である。同図において、Xは走査線、Yは信号線、TFTはアクティブ素子としての薄膜トランジスタ、LCは例えば液晶表示素子等の表示素子であり、1個の薄膜トランジスタTFTと表示素子LCとで画素PIXを構成し

ている。また、これらの画素PIXが走査線Xと信号線Yとの間にマトリクス状に接続されて液晶表示装置LCDのパネルPNLが構成されている。

LVSはLCD垂直走査回路であり、各薄膜トランジスタTFTのゲート電極に各走査線Xを介して走査スイッチング信号を印加する。LHSはLCD水平走査回路であり、薄膜トランジスタTFTのソース・ドレイン電極に順次選択的にビデオ信号を印加する。EはパネルPNLの周辺部に形成されたアースライン、TFT1は各信号線YとアースラインEとの間にそれぞれ接続された第1の保護用薄膜トランジスタ、TFT2は各走査線XとアースラインEとの間にそれぞれ接続された第2の保護用薄膜トランジスタである。

これらの保護用薄膜トランジスタTFT1, TFT2は、第2図にその要部平面図で示すようにゲート電極G上に図示しない S_1N 絶縁膜および $a-S_1$ 等の半導体膜を介して形成されるソース電極Sおよびドレイン電極Dのパターン幅をW(チャンネル幅)、両電極S, D間の距離をL(チャンネル長)とし

たとき、 W/L が約500/10 μm 程度と前述したアクティブ素子としての薄膜トランジスタTFTの $W/L \approx 50/10 \mu m$ に対して大きなパターン寸法を有して低インピーダンス化されている。また、この保護用薄膜トランジスタTFT1, TFT2は、第4図に示すようにガラス基板SUB上にアースラインEおよび走査線Xをクロム配線パターンで形成し、この配線上に窒化シリコン膜SIN, アモルファスシリコン膜ASI等を積層形成して所要部のアモルファスシリコンASIのみをパターンニングして形成し、しかる後、窒化シリコン膜SIN上の信号線Y, アースラインEおよび保護用薄膜トランジスタTFT2のゲート電極をクロムとアルミニウムとの積層膜で形成する。

このような構成において、第1および第2の保護用薄膜トランジスタTFT1およびTFT2は、そのゲート電極およびドレイン電極が共にゲート電極となり、そのソース電極がアースラインEに接続されているので、走査線X、信号線Yに静電気等の高電圧が印加されると、この薄膜トランジスタ

特開昭63-10558 (3)

TFT1 および TFT2 はオン状態となつてアースライン E に導通され、アクティブ素子としての薄膜トランジスタ TFT は保護される。この場合、この薄膜トランジスタ TFT は、信号電圧 $V_0=10V$ 、その信号電流 $I_d=100\mu A$ 程度でオン動作となり、そのリーク抵抗は約 $10^5 \Omega$ 程度である。この場合、駆動回路 LVS もしくは LHS のフアンアウトは通常 $100\mu A$ 以上あるので信号の伝達には何等支障はない。

第3図は本発明によるフラットディスプレイの他の実施例を示す回路構成図であり、第1図と同一部分は同一符号を付してある。同図において、第1図と異なる点は、各信号線 Y とアースライン E との間には第1の保護用薄膜トランジスタ TFT1 に対して逆バイアスされる第3の保護用薄膜トランジスタ TFT3 がそれぞれ並列接続されており、また各走査線 X とアースライン E との間には第2の保護用薄膜トランジスタ TFT2 に対して逆バイアスされる第4の保護用薄膜トランジスタ TFT4 がそれぞれ並列接続されている。これらの保護用

薄膜トランジスタ TFT3、TFT4 は、前述した第1、第2の保護用薄膜トランジスタ TFT1、TFT2 と全く同等のベターン構成およびしきい値電圧 V_T を有して形成されている。

このような構成においては、走査線 X、信号線 Y およびパネル PNL 等に正、負の極性の異なる静電気等の高電圧が印加されても、正バイアスで動作する第1、第2の保護用薄膜トランジスタ TFT1、TFT2 もしくは負バイアスでオンする第3、第4の保護用薄膜トランジスタ TFT3、TFT4 のいずれかがオン状態となり、高電圧がアースライン E に導通されてアクティブ素子としての薄膜トランジスタ TFT は保護される。

第6図は本発明によるフラットディスプレイの他の実施例を示す回路構成図であり、第1図と同一部分は同一符号を付してある。ここで保護用薄膜トランジスタ TFT3、TFT6 のしきい値電圧 V_T は、第3図に示すように $V_T > 15V$ と大きく、このため、走査線 X、信号線 Y に通常の駆動電圧が印加されても、保護用薄膜トランジスタ TFT1 又は

TFT2 がオンされることはない。従つて、垂直走査回路 LVS 又は水平走査回路 LHS の消費電力が小さくて済む利点がある。一方、静電気のように数 KV の電圧が印加されると、保護用薄膜トランジスタ TFT3、TFT6 がオン状態になり、このため保護用薄膜トランジスタ TFT1、TFT2 もオン状態になるので、静電気のエネルギーはアースにおとせる。

(発明の効果)

以上説明したように本発明によれば、マトリックス状に配列した走査線と信号線とで囲まれる各領域に表示素子およびアクティブ素子を配置して各画面を構成したフラットディスプレイにおいて、走査線および信号線とアースラインとの間にスイッチング素子を設けたことにより、アクティブ素子の静電破壊を確実に防止できるので、品質、信頼性の高いフラットディスプレイが実現可能となるなどの極めて優れた効果が得られる。

4. 図面の簡単な説明

第1図は本発明によるフラットディスプレイの

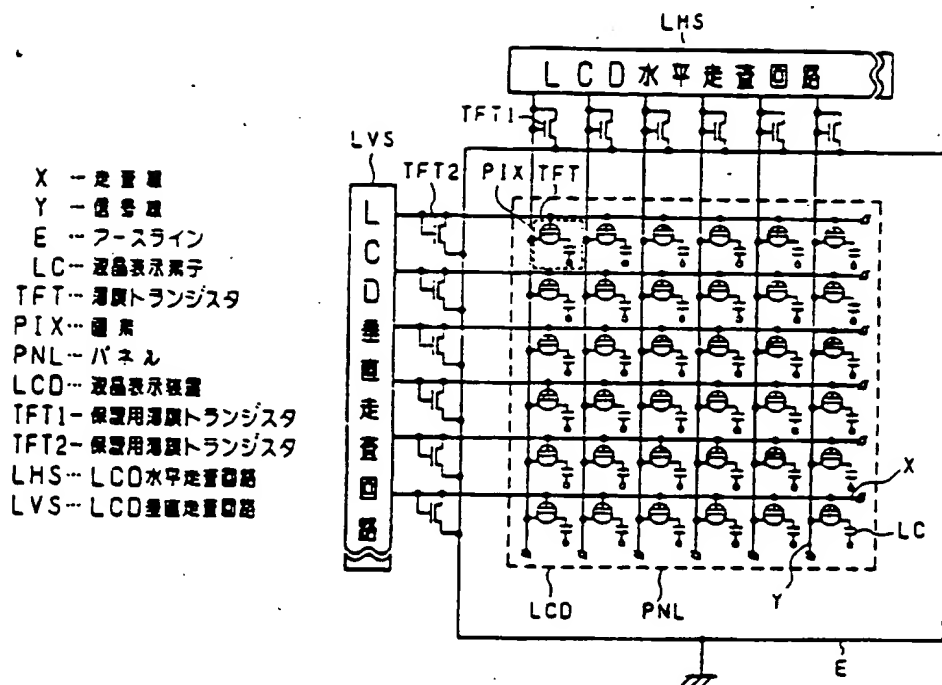
一実施例を示す平面図、第2図は薄膜トランジスタの構成を説明する平面図、第3図は薄膜トランジスタの特性を説明する図、第4図は本発明によるフラットディスプレイの構成を示す要部解説図、第5図および第6図は本発明によるフラットディスプレイの他の実施例を示す平面図、第7図は従来のフラットディスプレイを説明する要部平面図である。

X・・・走査線、Y・・・信号線、PIX・・・画素、LCD・・・液晶表示装置、PNL・・・パネル、LC・・・液晶表示素子、E・・・アースライン、LHS・・・LCD水平走査回路、LVC・・・LCD垂直走査回路、TFT・・・薄膜トランジスタ、TFT1、TFT2、TFT3、TFT4、TFT5、TFT6・・・保護用薄膜トランジスタ。

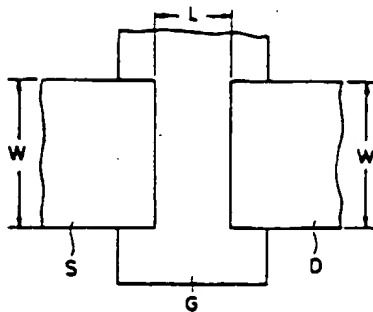
代理人 弁理士 小川 勝 男



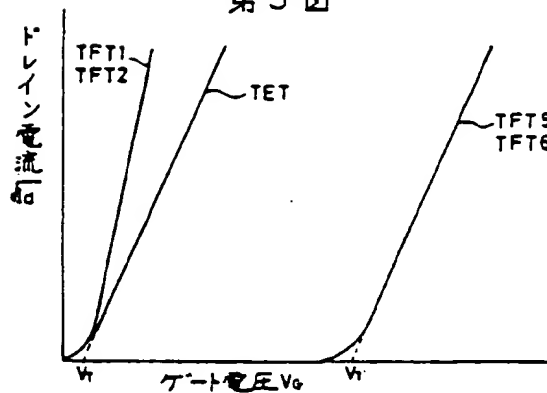
第 1 図



第 2 図

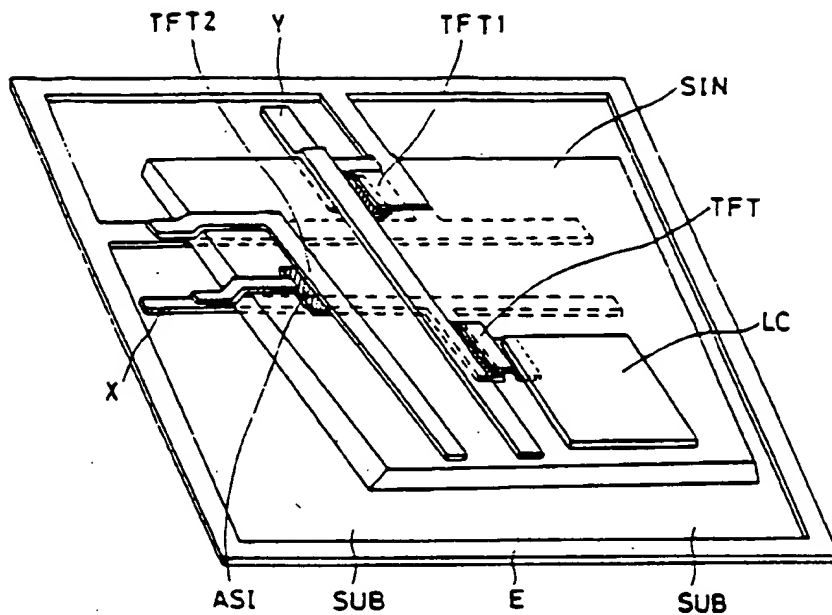


第 3 図

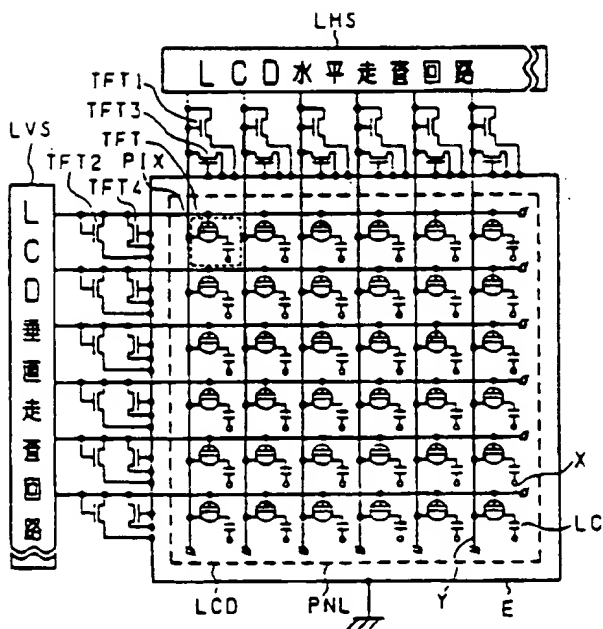


特開昭63-10558 (5)

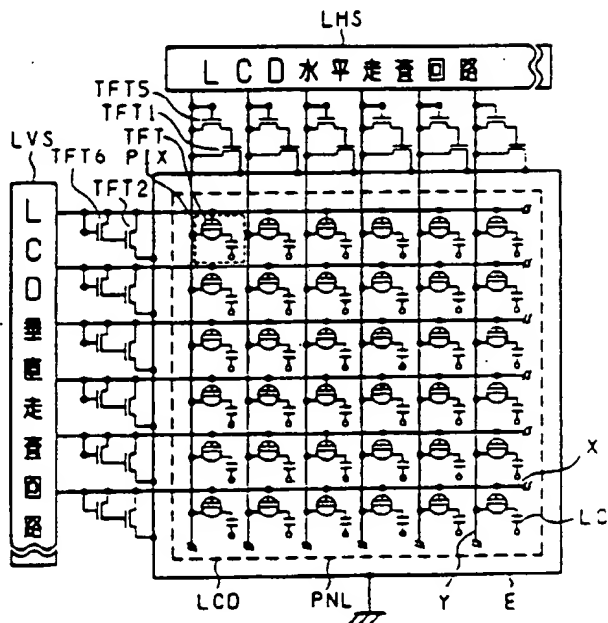
第4図



第5図

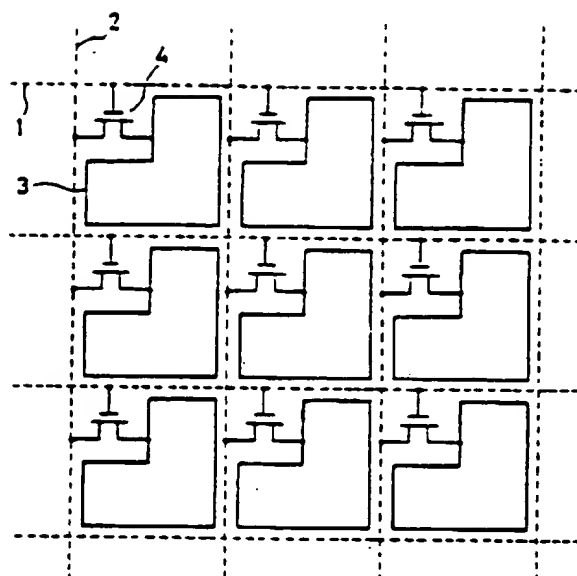


第6図



特開昭63-10558 (6)

第 7 図



第1頁の続き

①Int.Cl.⁴

// H 01 L 29/78

識別記号

3 1 1

庁内整理番号

A-8422-5F

⑦発 明 者 島 田 賢 一 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内

⑧発 明 者 鈴 木 堅 吉 千葉県茂原市早野3300番地 株式会社日立製作所茂原工場内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成5年(1994)6月24日

【公開番号】特開昭63-10558
 【公開日】昭和63年(1988)1月18日
 【年通号数】公開特許公報63-106
 【出願番号】特願昭61-154026
 【国際特許分類第5版】

G02F 1/136 500 9010-2X

1/133 550 9226-2X

H01L 29/784

【F1】

H01L 29/78 31 A 9056-4M

手続補正書 (自発)

特許庁長官 殿

平成 5 年 6 月 30 日

事件の表示

昭和61年 特 許 願 第 154026 号

発明の名称

フラットディスプレイ

補正をする者

事件との関係 特許出願人

名 称 (510) 株式会社 日立製作所

名 称 日立ハイスイエンジニアリング株式会社

代理人

居 所 〒100 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所内 電話 33212-1111(大代表)

氏 名 (5150) 弁護士 小川 勝 男



補正の対象 明細書特許請求の範囲の欄
 及び発明の詳細な説明の欄

補正の内容

1. 特許請求の範囲を別紙の通り補正する。
2. 出願明細書第4頁第2行の末尾に「なおTド
Tの保護トランジスタに関する公知例には特開
昭61-78259号公報があるが、第3図に
示す保護トランジスタのしきい値電圧をアクテ
イブ素子のしきい値より高くする記載はない。
また特開昭60-86587号公報には保護ト
ランジスタに双方向通電型トランジスタを用い
ることが記載されているが、第5図に示す正方
向と負方向の保護トランジスタを並列接続して
双方向トランジスタにする記載はない。」を追加
する。

以 上

別 紙

特許請求の範囲

1. マトリックス状に配列した走査線と信号線とで囲まれる各領域に表示素子およびアクティブ素子を配列して各画面を構成したフラットディスプレイにおいて、前記各走査線および信号線とアースラインとの間にスイッチング素子を設け、前記スイッチング素子のしきい値電圧をアクティブ素子のオン電圧よりも大としたことを特徴とするフラットディスプレイ。
2. 前記スイッチング素子は正方向のスイッチング素子と負方向のスイッチング素子を並列に設け、駆動電圧に対して正負両方向で動作することを特徴とした特許請求の範囲第1項記載のフラットディスプレイ。

[ENGLISH TRANSLATION]

Japanese Patent Laid-Open No. 63-10558

Laid-Open Date: January 18, 1988

Application No. 61-154026

Application Date: July 2, 1986

Request for Examination: Not Made

IPC's: H01L 27/12, G02F 1/133, G09F 9/30

Applicants: Hitachi Ltd.

Hitachi Device Engineering Co., Ltd.

Inventors: Ryoji ORITSUKI

Kazuo SUNAHARA

Sakae SOMEYA

Agents: Patent Attorney, Katsuo OGAWA, et al.

Continue to the last page.

SPECIFICATION

1. Title of the Invention: FLAT DISPLAY

2. Claims

[Claim 1] A flat display having a display element and an active element arranged in each area surrounded by a scanning line and a signal line arrayed in a matrix to form each pixel, characterized in that a switching element is provided between said each scanning line and signal line and an earth line.

[Claim 2] The flat display according to Claim 1, characterized in that the threshold voltage of said switching element is higher than the on-state voltage of the active element.

[Claim 3] The flat display according to Claim 1, characterized in that said switching element works in both positive and negative directions with respect to driving voltage.

3. Detailed Description of the Invention

[Technical Field of the Invention]

The present invention relates to a flat display for a

liquid crystal display and so on, and more particularly, to a flat display of active matrix type in which each display element is provided with an active element.

[Prior Art]

Conventionally, while cathode-ray tubes have been widely used as devices for displaying characters, graphics, or TV images, recently, dot-matrix type displays using a liquid crystal or EL are receiving much attention because of advantages of reducing the depth of a display. However, in such dot-matrix type displays, when the number of dots (pixels) is increased in order to obtain resolution equal to that of the cathode-ray tube, crosstalk occurs, particularly in the case of time-sharing liquid crystal display, extremely degrading the contrast of the images. In order to avoid it, there is proposed and is being developed a so-called active matrix type display in which each pixel is provided with a switching element, such as a thin-film transistor (hereinafter, abbreviated to a TFT) and a thin-film diode.

As a conventional art specifically relating to this type of displays, the Sep. 10, 1984 issue of Nikkei Electronics, No. 351, pp. 211-240, is well known, in which a technique of flat color display having a switching thin-film transistor (TFT) in a liquid-crystal color panel is described.

More specifically, such a display is configured such that a gate line 1 and a drain line 2 are arrayed to cross each other in a matrix, as shown in Fig. 7, so that the switching of each display element 3 arranged in each area surrounded by each lines 1 and 2 is driven by each active element 4. When the active element 4 is turned on, the display element 3 displays image information, and when turned off, it holds the information.

[Problems that the Invention is to Solve]

However, the flat display with such a configuration has a problem of breakdown or degradation in quality of the active element 4 because of static electricity generating at

the mounting and demounting time to a panel or in the process.

Accordingly, it is an object of the present invention to provide a flat display capable of protecting an active element from electrostatic breakdown.

[Means for Solving the Problem]

According to an embodiment of the present invention, there is provided a flat display in which the electrostatic breakdown of an active element is avoided by providing a gate line and a drain line with protective transistors for conducting static electricity to the ground.

[Operation]

In the protective transistor of the invention, when static electricity is applied, the gate is turned on, and the transistor is conducted

[Embodiments of the Invention]

Referring to the drawings, embodiments of the present invention will be described hereinbelow.

Fig. 1 is a circuit block diagram showing an embodiment of a flat display according to the present invention. In the drawing, reference symbol X denotes a scanning line, Y denotes a signal line, TFT denotes a thin-film transistor as an active element, and LC denotes a display element such as a liquid-crystal display element, one thin-film transistor TFT and one display element LC constituting one pixel PIX. The pixels PIXs are connected in the form of a matrix between the scanning line X and the signal line Y, thus constituting a panel PNL of a liquid crystal display LCD.

Reference symbol LVS indicates an LCD vertical scanning circuit, which applies a scanning switching signal to a gate electrode of each thin-film transistor TFT via each scanning line X. Reference symbol LHS designates an LCD horizontal scanning circuit, which selectively applies a video signal sequentially to source and drain electrodes of the thin-film transistor TFT. Reference symbol E denotes an earth line formed on the periphery of the panel PNL, reference symbol

TFT1 denotes a first protective thin-film transistor connected between each signal line Y and the earth line E, and reference symbol TFT2 denotes a second protective thin-film transistor connected between each scanning line X and the earth line E.

Assuming that the pattern width of a source electrode S and a drain electrode D formed on a gate electrode G via an unillustrated semiconductor film such as an SiN insulating film and a-Si is W (channel width) and the distance between both electrodes S and D is L (channel length), as shown in the plan view of an essential part of Fig. 2, such protective thin-film transistors TFT1 and TFT2 each have a pattern size W/L as large as about 500/10 μm as compared with W/L \approx 50/10 μm of the aforesaid thin-film transistor TFT as an active element, thereby having low impedance. Also, in the protective thin-film transistors TFT1 and TFT2, the earth line E and the scanning line X are formed in a chromium wiring pattern on a glass substrate SUB, as shown in Fig. 4, on which a silicon nitride film SIN, an amorphous silicon film ASI and the like are deposited; only the amorphous silicon ASI at a necessary part is patterned; and subsequently, the signal line Y on the silicon nitride film SIN, the earth line E, and the gate electrode of the protective thin-film transistor TFT2 are formed of a multilayer of chromium and aluminium.

In such a configuration, in the first and second protective thin-film transistors TFT1 and TFT2, their gate electrodes and the drain electrodes are both used as gate electrodes, and the source electrodes connect to the earth line E. Accordingly, when high voltage such as static electricity is applied to the scanning line X and the signal line Y, the thin-film transistors TFT1 and TFT2 are turned on and are conducted with the earth line E, and the thin-film transistor TFT is thus protected as an active element. In this case, the thin-film transistor TFT is turned on at

signal voltage $V_D = 10V$ and its signal current $I_d =$ about 100 μA , and its leakage resistance is about $10^5 \Omega$. In this case, since the fanout of the driving circuit LVS or LHS is normally 100 μA or more, there is no problem in transmitting a signal.

Fig. 5 is a circuit block diagram showing another embodiment of the flat display according to the invention. The same elements as those of Fig. 1 are denoted by the same reference numerals. In the drawing, the different point from Fig. 1 is that a third protective thin-film transistor TFT3, which is inversely biased with respect to the first protective thin-film transistor TFT1, connects in parallel between each signal line Y and the earth line E; and a fourth protective thin-film transistor TFT4, which is inversely biased with respect to the second protective thin-film transistor TFT2, connects in parallel between each scanning line X and the earth line E. Such protective thin-film transistors TFT3 and TFT4 have completely equal pattern configuration and threshold voltage V_T to the aforesaid first and second protective thin-film transistors TFT1 and TFT2.

In such a configuration, even if high voltage such as static electricity of different polarity, positive and negative, is applied to the scanning line X, the signal line Y, the panel PNL and so on, either the first and second protective thin-film transistors TFT1 and TFT2 being operated at positive bias or the third and fourth protective thin-film transistors TFT3 and TFT4 being operated at negative bias are tuned on, and the high voltage is thus conducted to the earth line E, so that the thin-film transistor TFT as an active element can be protected.

Fig. 6 is a circuit block diagram showing another embodiment of the flat display according to the invention. The same elements as those of Fig. 1 are denoted by the same reference numerals. In this case, threshold voltage V_T of protective thin-film transistors TFT5 and TFT6 are as large

as $V_T > 15V$, as shown in Fig. 3; accordingly, even if normal driving voltage is applied to the scanning line X and the signal line Y, the protective thin-film transistors TFT1 or TFT2 is not turned on. Therefore, there is an advantage of reducing power consumption of the vertical scanning circuit LVS or the horizontal scanning circuit LHS. On the other hand, when a voltage of several KV, such as of static electricity, is applied, the protective thin-film transistors TFT5 and TFT6 are turned on, and therefore the protective thin-film transistors TFT1 and TFT2 are also turned on, so that the energy of static electricity can be grounded.

[Advantage of the Invention]

According to the invention, as described above, since the flat display having the display element and the active element arranged in each area surrounded by the scanning line and the signal line arrayed in a matrix to form each pixel includes the switching element between the scanning line and the signal line and the earth line, electrostatic breakdown of the active element can be prevented reliably, thereby obtaining a remarkable advantage of providing a flat display of high quality and reliability.

4. Brief Description of the Drawings

Fig. 1 is a plan view showing an embodiment of a flat display according to the present invention; Fig. 2 is a plan view explaining the configuration of a thin-film transistor; Fig. 3 is an explanatory view of the characteristic of the thin-film transistor; Fig. 4 is a perspective view of an essential part showing the configuration of the flat display according to the invention; Figs. 5 and 6 are plan views each showing another embodiment of the flat display according to the invention; and Fig. 7 is a plan view of an essential part explaining a conventional flat display.

X: scanning line, Y: signal line, PIX: pixel, LCD: liquid crystal display, PNL: panel, LC: liquid-crystal display element, E: earth line, LHS: LCD horizontal scanning circuit,

LVC: LCD vertical scanning circuit, TFT: thin-film transistor,
TFT1, TFT2, TFT3, TFT4, TFT5, TFT6: protective thin-film
transistor

Agent: Patent Attorney, Katsuo OGAWA

[Fig. 1]

X: scanning line
Y: signal line
E: earth line
LC: liquid crystal element
TFT: thin-film transistor
PIX: pixel
PNL: panel
LCD: liquid crystal display
TFT1: protective thin-film transistor
TFT2: protective thin-film transistor
LHS: LCD horizontal scanning circuit
LVS: LCD vertical scanning circuit
1: LCD horizontal scanning circuit
2: LCD vertical scanning circuit

[Fig. 3]

1: drain current
2: gate current

[Fig. 5]

1: LCD horizontal scanning circuit
2: LCD vertical scanning circuit

[Fig. 6]

1: LCD horizontal scanning circuit
2: LCD vertical scanning circuit

Continued from page 1

IPC's: H01L 29/78

Inventors: Kenichi SHIMADA
Kenkichi SUZUKI

[Type of Gazette] Publication of Amendment According to
Article 17-2 of Patent Law

[Classification] Group 2 in Section 6

[Date of Publication] June 24, 1994

[Laid-Open Number] Japanese Patent Laid-Open No. 10558/1988

[Laid-Open Date] January 18, 1988

[Issue in Year] Publication of Unexamined Patent Application
63-106

[Application Number] Japanese Patent Application No.
154026/1986

[International Patent Classification, Ver. 5]

G02F 1/136 500 9018-2K

1/133 550 9226-2K

H01L 29/784

[F1]

H01L 29/78 311 A 9056-4M

Written Amendment (Voluntary)

Director General of Patent Office, Esq.

June 30, 1993

Designation of the Case

Japanese Patent Application No. 164026/1986

Title of the Invention

Flat Display

Party Effecting the Amendment

Connection with the Case: Applicant of the Invention

Name: (510) Hitachi Ltd.

Name: Hitachi Device Engineering Co., Ltd.

Agent

Address or Residence: c/c Hitachi Ltd.

#100, 5-1, 1-chome, Marunouchi

Chiyoda-ku, Tokyo, Japan

Telephone Number 03-3212-1111

Name: (5805) Patent Attorney, Katsuo OGAWA

Object of Amendment

Claims and Detailed Description of the Invention in
Specification

Amendment Details

1. The claims are amended as the attached paper.
2. The following description will be added to the end of line 2 on page 4 of the application specification: In addition, while there is a known art regarding the protective transistor for the TFT disclosed in Japanese Patent Laid-Open No. 79259/1986, there is no description of bringing the threshold voltage of the protective transistor shown in Fig. 3 larger than the threshold value of the active element. Also, while Japanese Patent Laid-Open No. 86587/1985 describes that a bidirectional conductive transistor is used for a protective transistor, there is no description that the positive and negative protective transistors, shown in Fig. 5, are connected in parallel to form a bidirectional transistor.

Attachment

Claims:

[Claim 1] A flat display having a display element and an active element arranged in each area surrounded by a scanning line and a signal line arrayed in a matrix to form each pixel, characterized in that a switching element is provided between said each scanning line and signal line and an earth line and the threshold voltage of said switching element is larger than the on-state voltage of the active element.

[Claim 2] The flat display according to Claim 1, characterized in that said switching element includes a positive switching element and a negative switching element in parallel and works in both positive and negative directions with respect to driving voltage.